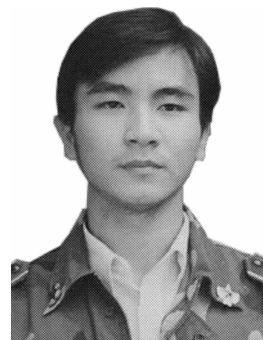


研
究
开
发基于FPGA的故障数据
存储系统的设计

肖 健, 班立权

(株洲南车时代电气股份有限公司 技术中心, 湖南 株洲 412001)



作者简介: 肖 健 (1981-), 男, 硕士, 工程师, 从事内燃机车控制平台及应用研究。

摘 要: 介绍了基于FPGA的NAND FLASH故障存储系统的硬件结构和软件设计结构, 并着重对接口信号的定义、FPGA内部的功能框图进行了阐述。此设计大大提高了系统的实时性及可靠性。

关键词: FPGA; NAND FLASH; FRAM; 故障存储系统; 控制系统; 内燃机车

中图分类号: TP311.1 TP333.5 **文献标识码:** A **文章编号:** 1000-128X(2011)02-0031-03

Design of Failure Data Storage System Base on FPGA

XIAO Jian, BAN Li-quan

(Technology Center, Zhuzhou Electric Locomotive Research Institute, CSR, Zhuzhou, Hunan 412001, China)

Abstract: This paper introduced hardware and software structure of NAND FLASH failure data storage system based on FPGA. The definition of interface signals and functional block diagram of internal FPGA had also been introduced. This design increases the performance in real time and reliability of the system.

Key words: FPGA; NAND FLASH; FRAM; failure data storage system; control system; diesel locomotive

0 引言

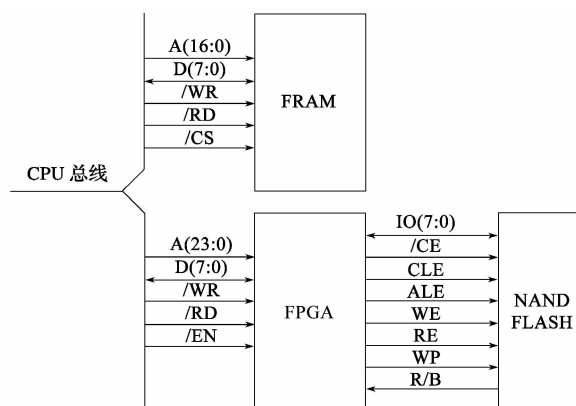
铁电存储器(FRAM)、NOR FLASH和NAND FLASH是目前市场上几种主要的非易失闪存。FRAM具有掉电数据保存、存取数据速度快、可靠性高的优点, 缺点是单位容量的成本太高, 不适合大容量数据的存储。而NOR FLASH的可靠性高, 容量较FRAM大, 较NAND FLASH小, 读数据快, 但是写和擦除数据慢, 适合存放程序代码。NAND FLASH也是一种非易失闪存, 具有大容量的优点, 适合大容量数据的存储, 但是存在读、写、擦除速度慢, 且操作的单位数据量大, 可靠性差, 不适合实时数据保存。

内燃机车控制系统需要根据机车工况及时地控制机车的运行, 实时性要求很高; 同时要求将当前及以前出现的故障数据保存起来, 存储的数据量大。为了解决可靠性、实时性及数据量各方面要求的冲突, 本文介绍了使用FPGA来控制NAND FLASH, 用铁电存储器作为数据存放索引及缓存, 用NAND FLASH来存放历史数据的一种设计方案。

1 故障数据存储系统的硬件设计

1.1 故障数据存储系统的整体结构

故障数据存储系统的结构如图1所示, 整个系统由FRAM、FPGA和NAND FLASH3部分组成。FRAM作为故障数据缓存、索引及坏块管理的存储区, FPGA中做了一个NAND FLASH驱动的控制单元, 同时设置了一个NAND FLASH基本读写单位大小的双口RAM, NAND FLASH为实际存储数据的载体。整个系统的控制为一



个2层的结构, 顶层为CPU对FRAM、FPGA的控制级, 底层为FPGA对NAND FLASH的控制。CPU对FRAM、FPGA进行控制, 可以根据需要对他们发送指令和数据, FPGA则根据CPU的指令对NAND FLASH进行控制。

1.2 各模块之间的接口信号的定义

顶层控制的接口信号的定义如表1所示。

表1 CPU对FRAM、FPGA的控制级的接口信号的定义

信号名	说明
A[16/11:0]	地址总线, 用于CPU对FRAM、FPGA的访问
D[7:0]	数据总线, 用于CPU与FRAM、FPGA的数据双向传输
/WR	写使能, 有效时表示是CPU的写周期
/RD	读使能, 有效时表示是CPU的读周期
/CS	FRAM的片选信号
/EN	FPGA中双口RAM的CPU端口的使能信号

底层控制的接口信号的定义如表2所示。

表2 FPGA对NAND FLASH的控制

信号名	说明
IO[7:0]	命令、地址、数据复用总线, 通过命令锁存信号和地址锁存信号来决定输入的数据为命令或者地址, 通过写使能信号和读使能信号来决定数据的流向
/CE	片选使能信号
CLE	命令锁存使能信号
ALE	地址锁存使能信号
WE	写使能信号
RE	读使能信号
WP	写保护信号, 用来防止误操作对器件的损坏
R/B	准备好/忙信号, 用来表示NAND FLASH当前的状态

1.3 FPGA内的逻辑框图及功能

FPGA的内部主要由4个部分组成: 用于CPU与FPGA信息交互的控制寄存器、状态寄存器和地址寄存器; 根据控制命令向NAND FALSH控制器发送执行指令并向状态寄存器反馈状态的中央控制器; 用来控制NAND FLASH读写时序的NAND FALSH控制器; 用于数据缓存的双口RAM (如图2所示)。

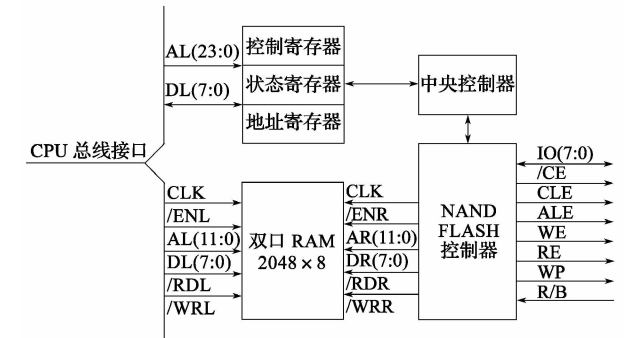


图2 FPGA内的逻辑框图

控制寄存器用来存放CPU的控制指令, 有读、写、擦除、复位等指令, 可以根据需要进行添加。当CPU往寄存器写入某个指令后, 中央控制器将产生一个响应的信号, 当指令执行完之后将清除控制寄存器的值。

状态寄存器根据中央控制器的指令实时更新系统的状态, 有空闲、忙、完成、错误等状态, CPU可以读取

此寄存器中的值来查询当前存储系统的状态。

地址寄存器用来存放需要读写或者擦除对象的物理地址编号。由于NAND FLASH读写是以Page为单位, 存放的是Page编号, 擦除是以Block为单位, 存放的是Block编号。在FRAM中存放着逻辑地址编号和物理地址编号的对应关系, FPGA对外的地址接口是根据NAND FLASH的Page顺序建立的物理地址编号, 在内部将物理地址编号转换成实际物理地址发送给NAND FLASH控制器。

中央控制器则实时监测控制寄存器中的指令变化, 向NAND FALSH控制器发送执行的指令, 控制NAND FALSH控制器在不同的状态中循环, 并且实时向状态寄存器反馈当前指令执行的状态。

NAND FLASH控制器作为中央控制器的执行机构, 拥有着对双口RAM读写操作的控制权。采用开放式的结构, 将每一个执行指令做成一个按照顺序执行的状态机序列, 所有指令执行完之后都返回到同一个等待状态, 这样就可以根据开发的需要对指令系统进行增加或减少, 不会对其他的指令造成影响。

双口RAM是用来缓存数据的, 大小与NAND FLASH的一个Page相等。CPU和NAND FLASH都可以对它进行读写数据的操作。由于CPU读写双口RAM时会往控制寄存器中写入相应的指令, 而NAND FALSH控制器是根据控制寄存器内容执行相应的操作, 因此可以保证双方不会同时对它进行读写操作, 以避免冲突。

2 故障存储系统的软件设计

NAND FLASH以其大容量的优点广泛应用于大容量存储系统中, 但是由于其最小读写单位为Page, 在重复写之前需要先擦除, 而擦除的最小单位为Block。以芯片K9F4G08U0A为例, 1个Page的大小为2 Kbytes, 1个Block的大小为128K, 读取1个Page的典型时间为25 μ s, 写1个Page的典型时间为200 μ s, 擦除1个Block的典型时间为1.5 ms。对于单中央处理器的内燃微机系统来说, 若要CPU来控制NAND FALSH的基本读写擦除操作, 对于实时性要求很高的内燃微机系统来说是不可取的。而且由于其长的读写周期, 若突然掉电, 那么很有可能将损失2 K的数据, 而且掉电的时候往往是故障发生的时候, 因此系统的可靠性难以保证。

为了解决以NAND FLASH为中心的故障存储系统的实时性差的缺点, 充分利用系统中原有资源, 将NAND FLASH的控制权交给FPGA, 相当于2个处理器并行处理, 充分释放CPU的资源。当CPU需要从NAND FLASH中读取数据的时候, 只需要发送1个读取数据的命令, FPGA自动执行控制NAND FLASH的各种操作, 在执行的过程中状态寄存器将为忙状态, CPU此时可以去执行其他的任务, 每隔一段时间来查询状态寄存器的状态。当FPGA将数据放入双口RAM中后, 将更新

状态寄存器中的值为完成态, CPU可以将数据取走, 然后置故障存储系统为空闲态, 完成了读的操作。当CPU需要往NAND FLASH写数据的时候, 只需要先将数据写入双口RAM中, 然后发送写数据的命令, FPGA将执行写的操作, 并向CPU反馈执行的结果。如果发生了错误, 将使状态寄存器为错误态, CPU将记录错误, 然后再次执行相应的操作。采取这样一个分层的结构, CPU消耗的时间主要是往双口RAM读写数据的时间, 而NAND FLASH在读取和存取的时候, CPU可以同时做其他的事情, 大大提高了系统的实时性。读写流程图分别如图3、图4所示。

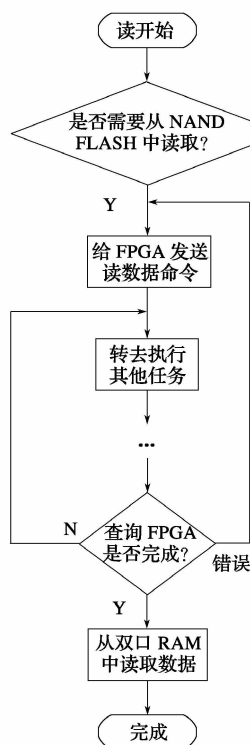


图3 读数据流程图

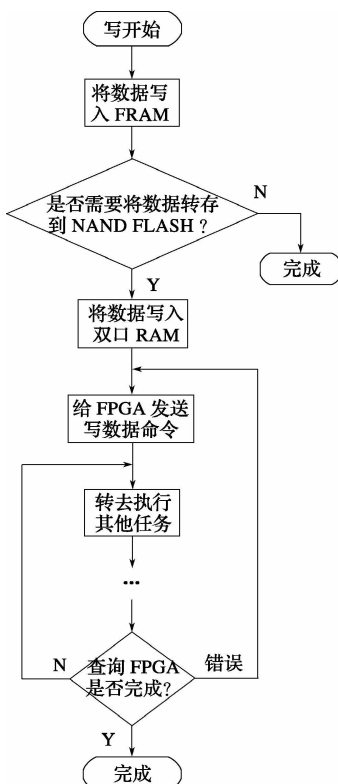


图4 写数据流程图

为了保证系统的可靠性, 充分利用系统的资源, 将原有的FRAM的一部分供故障存储系统使用。FRAM具有读写次数无限、读写方式方便、读写时间超短的优点, 但是价格贵, 因此使用它作为NAND FLASH的故障数据缓存、索引及坏块管理区。在FRAM中设置一定量的区域作为数据缓冲区, CPU可以随时往缓冲里面读写数据, 相当于一个FIFO结构, 当数据超过一定的时候, 将时间最久的一部分数据往NAND FLASH里面转存, 而在FRAM里面一直保留着最近的一部分数据, 这样NAND FLASH中存储的只是历史的数据。由于

FRAM的非易失特性, 又保留着最近的数据, 这样, 当写NAND FLASH失败的时候, 可以重新写, 直到写成功。这样可以保证在系统掉电的时候, 最近的故障数据没有丢失, 大大提高了系统的可靠性。

为了能够快速找到需要的数据, 需要在故障数据的逻辑编号和物理地址编号之间建立一种逻辑对应关系, 而且由于NAND FLASH坏块的存在, 逻辑对应关系还需要更新, 因此需要在FRAM中建立一个索引, 在读取数据的时候根据逻辑编号快速找到在NAND FLASH中的物理地址编号, 这样能够方便快速地找到需要的故障数据。

NAND FLASH还有一个缺点那就是允许坏块的存在, 并且在使用的过程中坏块还有可能增加。坏块不能保证数据的正确, 所以应该标识出坏块。在对整块进行扫描结束后, 将坏块用一个标志位标识出来, 存储在FRAM中。在写入数据之前, 先查询该块所对应的标志位, 这样就可以避免对坏块进行数据的读写。

3 结语

本文针对内燃微机系统中高实时性、数据量大、高可靠性的要求, 设计了一种使用FPGA来控制NAND FLASH的分层结构, 采用铁电存储器作为数据存放索引, 数据缓存及坏块管理, 用NAND FLASH来存放历史数据, 保证了掉电不丢失数据, 并且能够方便地对数据进行管理。通过实验室调试证明, 读取和写1个Page的时间由原来的约60 μs和230 μs都减少到约30 μs, 大大提高了系统的实时性及可靠性。

参考文献:

- [1] XILINX. Dual-Port Block Memory V6.3 [DB/OL]. http://china.xilinx.com/support/documentation/ip_documentation/bram_block.pdf. 2004-08-13.
- [2] XILINX. Spartan-III 2.5V FPGA Family: Complete Data Sheet [DB/OL]. http://china.xilinx.com/support/documentation/data_sheets/ds099.pdf. 2005-08-19.
- [3] 桑 坚, 刘洪瑞. NAND FLASH控制器的FPGA实现 [J/OL]. 中国科技论文在线, <http://www.paper.edu.cn>.
- [4] SAMSUNG. K9F4G08U0A Data Sheet [S]. Korea: SAMSUNG, 2006.
- [5] 刘 韬, 楼兴华. FPGA 数字电子系统设计与开发实例导航 [M]. 北京: 人民邮电出版社, 2005.